

= US 5,448,014 A

**METHOD FOR SEALING AND ELECTRICALLY CONNECTING LARGE QUANTITY
OF ELECTRONIC DEVICES SIMULTANEOUSLY**

Patent number: JP6318625
Publication date: 1994-11-15
Inventor: ARUBUIN MIN UEI KON; JIEEMUZU CHIYUN KEI RAU;
SUTEIBUN SHIN CHIYAN
Applicant: TRW INC
Classification:
- **international:** H01L21/66; H01L23/02; H03H3/08; H03H9/10;
H01L21/66; H01L23/02; H03H3/00; H03H9/05; (IPC1-
7): H01L21/66; H03H3/08
- **european:** H03H9/10S; H03H3/08
Application number: JP19940007050 19940126
Priority number(s): US19930009530 19930127

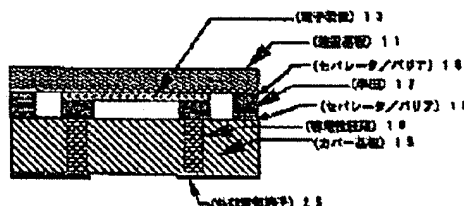
Also published as:

EP0609062 (A1)
US5448014 (A1)
CN1103203 (A)
EP0609062 (B1)
CN1040385C (C)

Report a data error here

Abstract of JP6318625

PURPOSE: To obtain a method for effectively and electrically testing an electronic device by sealing it by joining a cover wafer to a substrate wafer. **CONSTITUTION:** A device substrate wafer 11 for supporting an electronic device 13 is preferably made of crystal and is covered with a cover substrate wafer 15 for forming a hermetic seal. The device substrate wafer 11 is mounted to the cover substrate wafer 15 by a grid 17. The semiconductor strip 17 is joined to the device substrate wafer 11 and the cover substrate wafer 15. In addition to joining the two substrates 11 and 15, the semiconductor strip 17 also functions to maintain the surface of the cover substrate wafer 15 while it is slightly separated from the surface of the device substrate wafer 11 where an electronic device 13 is arranged. A conductive path 19 is extended through the cover substrate wafer 15. A solder terminal related to the conductive path 19 is bonded to the solder terminal of the electronic device 13.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-318625

(43) 公開日 平成6年(1994)11月15日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/66		Z 7630-4M		
H 0 3 H 3/08		7259-5 J		

審査請求 未請求 請求項の数22 O L (全 7 頁)

(21) 出願番号 特願平6-7050

(22) 出願日 平成6年(1994)1月26日

(31) 優先権主張番号 08/009530

(32) 優先日 1993年1月27日

(33) 優先権主張国 米国 (US)

(71) 出願人 590002529

ティアルダプリュール インコーポレイテッド

アメリカ合衆国 カリフォルニア州

90278 レドンド ビーチ スペース パーク 1

(72) 発明者 アルヴィン ミン ウェイ コン

アメリカ合衆国 カリフォルニア州

90026 ロサンゼルス イースト エッジ
ウェア ロード 902

(74) 代理人 弁理士 中村 稔 (外6名)

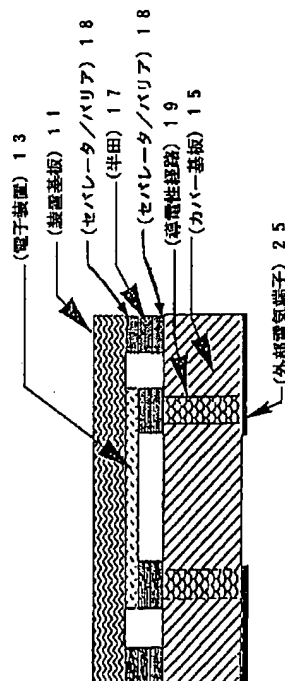
最終頁に続く

(54) 【発明の名称】 電子装置を大量に同時にシール及び電気接続する方法

(57) 【要約】

【目的】 電子装置を大量に同時にシールしそして電気的にテストする効率的な方法を提供する。

【構成】 電子装置、特に、表面音波装置をシールし電気的にテストする新規で且つ効率的な方法であって、電子装置のためのハーメチックシールされたパッケージを形成しそして各装置を電気的にテストするコスト及びサイズは、ウェハレベルにおける大量の同時のシール操作及び電気的接続を使用すると共に、ハーメチックシールされた導電性の経路穴をもつ基板を使用することにより、公知技術に比して著しく減少され、そして細分化の前にウェハプローブテスト技術での最終的な電気的テストを使用することにより、更にコストの減少が果たされるような方法。



1

【特許請求の範囲】

【請求項1】 電子装置を大量にシールしテストする方法において、

(a) 最初に、複数の導電性素子をもつカバーウェハを、基板ウェハに支持された複数の電子装置上に整列し、

(b) 次に、次の両方を実行し、即ち、(i) 上記整列されたカバーウェハを基板ウェハに対して接合することにより各電子装置をシールし、(ii) 上記カバーウェハの導電性素子と、基板ウェハに支持された電子装置との間に電気的な連絡を形成し、そして

(c) 最後に、複数のシールされた電子装置をテストする、という段階を備えたことを特徴とする方法。

【請求項2】 上記段階(c)に続き、上記接合されたウェハを、テストされた電子装置を各々含む複数のシールされたパッケージに細分化するという段階を更に備えた請求項1に記載の方法。

【請求項3】 上記段階(b)(i)及び(b)(ii)の両方は、ウェハレベルにある間に本質的に同時に行う請求項2に記載の方法。

【請求項4】 上記段階(c)は、ウェハプローブ電気テスト技術を含む請求項3に記載の方法。

【請求項5】 上記カバーウェハは、上記基板ウェハの熱膨張特性に類似した熱膨張特性を有する非導電性材料より成る請求項3に記載の方法。

【請求項6】 上記基板ウェハは水晶でありそしてカバーウェハはガラス-セラミックである請求項5に記載の方法。

【請求項7】 上記シール段階(b)(i)は、各電子装置の周りにハーメチックシールを形成する請求項5に記載の方法。

【請求項8】 上記カバーウェハの複数の導電性素子は、上記電子装置を外部電気端子に接続するためのハーメチックシールされた導電性経路を備えている請求項7に記載の方法。

【請求項9】 上記シール段階(b)(i)は比較的低い温度で実行され、その段階中に、カバーウェハが各電子装置の周りにパターン化された半田ストリップのグリッドにより基板ウェハに取り付けられ、更に、上記グリッドのパターン化は上記シール段階(b)(i)の前に行われ、そして更に、上記比較的低い温度は200℃未満である請求項3に記載の方法。

【請求項10】 上記半田ストリップのグリッドは、基板ウェハとカバーウェハとの間に分離を維持する請求項9に記載の方法。

【請求項11】 上記シール段階(b)(i)は、ハーメチック固-液相互拡散接合を形成する請求項9に記載の方法。

【請求項12】 上記ハーメチック固-液相互拡散接合は、ウェハの一方の上にパターン化された金のグリッド

2

と、2つのウェハの他方の上にパターン化されたインジウムグリッドとの間に形成され、更に、これらグリッドのパターン化は、上記シール段階(b)(i)の前に行われる請求項11に記載の方法。

【請求項13】 上記細分化段階は、上記接合されそしてテストされたウェハを上記半田ストリップのグリッドの中心線に沿って細分化することを含む請求項9に記載の方法。

【請求項14】 上記シール段階(b)(i)によって形成されたシールはハーメチックシールである請求項13に記載の方法。

【請求項15】 上記電子装置は、表面音波装置である請求項14に記載の方法。

【請求項16】 請求項15に記載の方法により形成された表面音波装置のための比較的小さくて表面取り付けに適合するハーメチックシールされたパッケージ。

【請求項17】 基板ウェハ及び複数の電子装置を備え、これら電子装置は上記基板ウェハによって支持され；更に、上記電子装置の上で上記基板ウェハに対して接合されたカバーウェハと；上記基板ウェハによって支持された上記電子装置の各1つを、上記基板ウェハによって支持された上記電子装置の他のものから分離するように上記ウェハの少なくとも一方の上にパターン化された接合材料のグリッドとを備え；上記接合材料及び上記カバーウェハは、ウェハレベルにおいて上記電子装置の実質的に各1つに対するシールを形成する助けをし；そして上記カバーウェハに複数の導電性素子を更に備え、これらの導電性素子はウェハレベルにおいて上記電子装置と電気的に連絡することを特徴とするウェハレベルパッケージ。

【請求項18】 上記基板ウェハ及び上記カバーウェハの各々は、少なくとも1インチ巾である請求項17に記載のウェハレベルパッケージ。

【請求項19】 上記シールはハーメチックシールであり、上記カバーウェハは、上記基板ウェハの熱膨張特性に類似した熱膨張特性を有する非導電性材料より成り、そして上記カバーウェハの複数の導電性素子は、ハーメチックシールされた導電性経路を備えている請求項17に記載のウェハレベルパッケージ。

【請求項20】 上記電子装置は、表面音波装置である請求項19に記載のウェハレベルパッケージ。

【請求項21】 後で半田取り付け手順において使用するために上記ウェハの一方の外側に半田層を形成する段階を、上記段階(c)の前に備えた請求項3に記載の方法。

【請求項22】 多層グリッドを更に備え、上記半田ストリップはこのグリッドの少なくとも1つの層より成り、上記多層グリッドはバリア層を更に備え、このバリア層の少なくとも一部分は、基板ウェハとカバーウェハとの間に分離を維持する助けをする請求項10に記載の

方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電子装置を大量に同時にシール及び電気接続する方法に係り、より詳細には、表面音波装置のための比較的安価なハーメチックシールされたパッケージを形成する新規で且つ経済効率のよい方法に係る。

【0002】

【従来の技術】多くの電子装置は非常に繊細なものであり、環境中に存在する種々の潜在的にダメージを及ぼす汚染物を含む苛酷な外界から保護する必要がある。ハーメチックパッケージは、このような保護を与える非常に効果的な手段であると分かっている。ハーメチックパッケージのシールは気密のものである。公知のハーメチックパッケージは、金属、ガラス又はセラミックや、半田又は溶接のようなシール手段から形成されている。非ハーメチックの構造体も、環境からの完全な分離を必要としない電子装置にある程度の保護を与えるために使用されている。公知の非ハーメチックパッケージは、プラスチックカプセル、モールド、ポッティング又はポリマシールを使用している。これまで、コストは高いが最大の保護を与えるハーメチックパッケージの使用と、コストは安いがある程度の保護しか与えない非ハーメチックパッケージの使用との間で妥協をすることが必要であった。ハーメチックパッケージのコストが高い理由は、このような構造体を形成する公知方法の次の例示的な説明から明らかとなる。

【0003】慣習的に、シールされるべき個々の電子装置が最初に形成される。次いで、これらの電子装置は、ハーメチックシールに適したパッケージであって、上記したように金属及びガラス或いはセラミック部品で通常形成されたパッケージの内部に取り付けられる。その後、パッケージ内に配置された電気端子と電子装置自体の端子との間で導電性ワイヤ又はリボンのボンディングが実行される。このような接続により各電子装置をパッケージ外部の領域と電気的に連通することができる。その後、プロジェクション溶接又はシーム溶接のような金属ボンディング技術によってパッケージがシールされる。最後に、各個々のパッケージ及び部品を電気的にテストして電気的な仕様が判断される。このようなテストが必要な理由は、製造中に行われる種々の工程により通常は各ユニットの収率が100%未満に低下するからである。ハーメチックパッケージ化及び電気的なテストのためのこれらの段階は、一般に、各電子装置ごとに個々に（即ち、1つ1つ）行われている。

【0004】作業員が個々の電子装置ごとにこれら作業を実行するコストに、パッケージ化のコストを加えたものが、電子装置自体のコストを遙かに越えることがしばしばある。それ故、電子装置を外部環境からハーメチック

クシールするあまり高価でない方法について認識された必要性和、それらを経済効率のよい仕方でも電気的にテストできる必要性和が長年にわたって存在している。更に、組立体が複雑であるために、このような作業には不所望にサイズの大きな装置を伴うことになる。

【0005】敏感な性質であるために使用に対してハーメチックパッケージされるのが好ましくそして上記したように一般にパッケージされている電子装置の一例は、表面音波（SAW）装置である。SAW装置は公知であり、数十MHzないし1GHz以上で動作する非常に高精度で且つ安定なバンドパスフィルタ及び発振器を含む多数の種々の用途に非常に有用である。

【0006】環境汚染は、SAW装置を、それらが意図された目的に対して役立たなくなるような点までしばしば著しく機能不良にすることがある。例えば、SAW装置の汚染は、音波の伝播速度を変化させると共に、SAW基板を通しての減衰を増大することがある。SAW装置の場合に、速度が変化すると、周波数がシフトし、そして減衰が増大すると、挿入ロスが増加する。従って、伝播する表面音波エネルギーを反射するか、さもなくばそれと干渉することのある汚染物がないように各装置の表面を保つよう確保するために、各個々のSAW装置ごとにハーメチックパッケージが定常的に使用されている。

【0007】

【発明が解決しようとする課題】しかしながら、上記したように、電子装置（例えば、SAW装置）をハーメチック式にカプセル化する公知の方法は、高価であると分かっている上に、しばしば不所望にサイズの大きなユニットが形成されることになる。

【0008】それ故、本発明の主たる目的は、電子装置、特に、表面音波装置をシールしそして電気的にテストする新規で効果的な方法を提供することである。

【0009】本発明の別の目的は、特定の場合に電子装置に対してハーメチックパッケージ又は非ハーメチックパッケージのいずれが所望されるかによってそのいずれかを形成することのできる非常にコスト効率のよい方法を提供することである。

【0010】本発明の更に別の目的は、サイズのコンパクトな表面取り付けに適合する装置を形成する方法を提供することである。

【0011】

【課題を解決するための手段】本発明は、電子装置を大量にシール及びテストする方法であって、

（a）最初に、複数の導電性素子をもつカバーウェハを、基板ウェハに支持された複数の電子装置上に整列し、

（b）次いで、次の両方を実行し、即ち、（i）上記整列されたカバーウェハを基板ウェハに対して接合することにより各電子装置をシールし、（ii）上記カバーウェ

5

ハの導電性素子と、基板ウェハに支持された電子装置との間に電気的な連絡を形成し、そして

(c) 最後に、複数のシールされた電子装置をテストする、という段階を備えた方法を提供する。

【0012】出来上がったパッケージが、次のレベルの組み立て手順中に行われるその後の半田取り付け作業に対して都合よく準備されるようにするために、上記テスト段階の前に、上記カバーウェハの外側に任意の半田被覆を設けることができる。

【0013】更に、本発明は、上記方法により形成された表面音波装置用の比較的小さく表面取り付けに適合するハーメチックシールされたパッケージも提供する。

【0014】更に、本発明は、基板ウェハ及び複数の電子装置を備えたウェハレベルのパッケージを提供する。電子装置は基板ウェハによって支持される。電子装置の上で基板ウェハに対してカバーウェハが接合される。基板ウェハによって支持された電子装置の各1つを、基板ウェハによって支持された電子装置の他のものから分離するように、基板ウェハ及び／又はカバーウェハの上に接合材料層（単独であるか又はバリア材料層のような1つ以上の付加的な層を伴う）のグリッドがパターン化される。接合材料及びカバーウェハは、ウェハレベルにおいて電子装置の実質的に各1つに対するシールを形成する上で助けとなる。カバーウェハには、複数の導電性素子が設けられる。これらの導電性素子は、ウェハレベルにおいて電子装置と電気的に連通する。

【0015】

【実施例】本発明によれば、電子装置用のハーメチックシールされたパッケージを形成しそして各装置を電気的にテストするコスト及びサイズは、ウェハレベルにおける大量の同時のシール及び電気的接続を使用し、そして基板をハーメチックシールされた導電性の経路穴と共に使用することにより、公知技術に比して著しく低減される。更に、細分化の前にウェハプローブテスト技術での最終の電気的テストを使用することにより、コストの低減が果たされる。

【0016】先ず、図1、2及び3を参照して、本発明を詳細に説明する。図1は、本発明の実施例によって構成されたシールされたパッケージにおいて電子装置を示している。図2は、カバー基板に取り付ける前の装置基板を底部から見た図である。図3は、装置基板に取り付ける前のカバー基板を上部から見た図である。

【0017】本発明の方法によって形成されそして添付図面に示された電子装置を収容するハーメチックシールされたパッケージは、電子装置13を支持する装置基板ウェハ11を備えている。装置基板ウェハ11は水晶より成るのが適当であり、電子装置13は、表面音波(SAW)装置である。装置基板ウェハ11は、ハーメチックシールを形成することのできるカバー基板ウェハ15で覆われる。このようなカバー基板ウェハ15を形成す

6

るのに適した材料は、ある主のセラミック材料である（特に適した材料はFOTOCERAM（コーニング・ガラス社の商標）である）。これらの材料は本発明のパッケージに用いるのに特に良好であるが、他の適当な材料を使用してもよい。

【0018】本発明のパッケージを形成するのにポリマ材料を使用してもよい（例えば、基板ウェハを構成すること）に注意されたい。ポリマはハーメチックシールを形成するのに使用できると考えられていないが、一般に安価であるので、特に魅力的である。ポリマ材料は、ハーメチックシールされたパッケージを得ることができないが、ある粒子に対して良好な保護を与えることができる。従って、ハーメチックシールが必要とされない場合にポリマ材料を使用するのが好ましい。

【0019】装置基板ウェハ11は、半田ストリップのグリッド17によってカバー基板ウェハ15に取り付けられる。半田ストリップ17は、図2及び3に各々示されたように、装置基板ウェハ11及びカバー基板ウェハ15に接合される。2つの基板11及び15を互いに接合するのに加えて、半田ストリップ17は、図1に示すように、カバー基板ウェハ15の表面を、電子装置13が配置された装置基板ウェハ11の表面から若干分離した状態に保つようにも機能する。このような分離を助成するために（即ち、基板ウェハ間の距離を制御するために）基板と半田との間にセパレータ材料の層を使用することもできる。このセパレータ層はいかなる適当な材料層で形成することもできる。分離の目的でセパレータのみが使用され、他の特定の性能要件が課せられない場合には、それを形成する材料の選択はかなり広いものとなる。従って、セパレータ層をバリアとして作用させることが所望される他の場合には、セパレータ／バリア層18を図1に示すように使用することができる。本発明では、任意の既知の材料を使用してバリア層を形成してもよい。例えば、バリア層を形成するのにタングステン又はニッケルを使用することができる。又、2つ以上のセパレータ／バリア層を使用することも注意されたい。図1及び上記説明から明らかなように、いずれかの基体上に多数の層を形成することが意図され、即ち所望の目的を達成するのに受け入れられる適当な公知の層材料を使用し、ここに特に説明しない付加的な層を必要に応じて使用することができる。

【0020】導電性経路（導電性貫通穴とも称する）19がカバー基板ウェハ15を貫通して延びている。この導電性経路19に関連した半田端子21は、電子装置13の半田端子（ボンディングパッドとも称する）23に接合される。経路19に対する電子装置13のこのような電気的接続は、シール作業が完了したときに2つの基板ウェハ及び半田接合部により画成されたパッケージの外部に電子装置を外部電気端子25により電気的に連通できるようにするのが望ましい。ハーメチックシールさ

れた装置を形成するために、導電性経路19はハーメチック性であるように構成される。図1に示す組み立てられた装置は、表面取付プロセスにおいてそのカバー側を下にして回路板上に配置することにより回路板に取り付けるのに適している。

【0021】セパレータ/バリア層18は、経路19の元素（例えば、ガリウム又は水銀）がユニットの他部分に達するのを防止するのに有用であることが注目される。

【0022】本発明は、図1ないし3に示して説明したシールされた電子装置を形成する非常に効率的で且つ効果的な方法を提供することが重要である。本発明により意図された方法を、図4ないし9について以下に説明する。

【0023】図4に示すように、カバー基板ウェハ15は、最初に、装置基板ウェハ11に対して整列される。

（混同を避けるために、この点において、参照番号11及び15は、ウェハ基板が個々のユニットに細分化される前（即ち、まだウェハレベルにある間）及びウェハ基板が細分化されて、図1ないし3に示す単一の個々のパッケージを形成した後の両方のウェハ基板に対する参照文字として使用されることに注意されたい。）典型的に、2枚の基板ウェハ11及び15の各々は、直径が3インチである（が、それより小さくても大きくてもよいことを理解されたい）。装置基板ウェハ11は、複数のSAWトランスジューサ31（又は他の適当な所望の電子装置）を支持する。カバー基板ウェハ15には、複数のハーメチック導電性経路19が設けられ、装置基板ウェハ11のSAW装置31の各々に対応するように配列される。このように、ウェハの整列は、SAW装置31各々の接点と導電性経路19（図4）に整列されるか又はこれら経路に接続されたパッドに整列されるように行われる。

【0024】次いで、カバー基板ウェハ15は、図5に示すように、適当な手段により装置基板ウェハ11に接合される。好ましくは、装置基板ウェハ11上でSAW装置の周りに予め形成されている金の半田ストリップ33のグリッドと、カバー基板ウェハ15上で経路接点19の周りに予め形成されているインジウム半田ストリップ35の同様にパターン化されたグリッドとの間に接合が形成される。この接合は、金の層とインジウムの層の間に形成されたハーメチック固体液体相互拡散（SLID）接合であるのが好ましい。この接合は、以下に詳細に述べる。この接合により、SAW装置31のハーメチックシールが行われる。

【0025】上記した接合段階と同時に、装置基板ウェハ11のSAW装置31と、カバー基板ウェハ15の隣接する導電性経路19との間に電気的接続が行われる。図6に示すように、これにより得られる「サンドイッチ」ウェハは、従来の自動ウェハプローブステーション

41により、カバーの側から、所望の電気的仕様に対して電気的にテストすることができる。このテストは、ウェハレベルで（即ちウェハが個々のパッケージユニットに細分化される前に）行われることに注意されたい。

【0026】図7を参照すれば、ウェハ11及び15は、その後、従来の基板細断ソー（図示せず）を用いて細分化される。これで、SAW装置を各々含むハーメチックシールされ、電気的にテストされそして細分化されたハーメチックパッケージ45が完成し、図8に示すように運搬の準備ができる。3インチ直径のウェハ対11及び15各々で、数百の装置を形成することができる。

【0027】出来上がったパッケージが、次のレベルの組み立て手順の間に行われるその後の半田取り付け作業に対して好都合に準備がなされるようにするために、テスト段階の前に、カバーウェハの外面に任意の半田被膜（メッキ又は波半田）を形成してもよい。半田被膜を設けることは、後でこのような次のレベルの組み立て手順において個々のユニットを使用することが所望されるときにパッケージのユーザが各個々のユニットに半田を設けなければならないことを防止する。ウェハレベルにある間にこのような半田被膜を設けることは、最終的に形成された多数の個々にユニット各々に対して半田被膜を付着する場合よりも相当に簡単であることが明らかであろう。外部端子25の外側に半田層又はプレートが適宜設けられる。

【0028】上記したプロセスでは、装置基板ウェハ11の熱膨張特性に厳密に合致する熱膨張特性を有した非導電性材料をカバー基板ウェハ15として選択するのが重要である。例えば、STカットの水晶ウェハを用いたSAW共振器は、結晶のX軸に13.7ppm/℃そしてX軸に垂直に10.2ppm/℃の直線的な熱膨張係数を有している。12ppm/℃の熱膨張係数をもつある形式のガラス-セラミック製品は、STカットの水晶ウェハに適度に合致する。このような適当な製品の1つは、例えば、FOTOCERAM（コーニング・ガラス社の商標）である。

【0029】更に、ハーメチックシールされたパッケージを形成することが必要な場合は、パッケージ内の電子装置13を外部に電気的接続するために、カバー基板ウェハ15がハーメチックシールされた導電性経路19をもつよう確保することが重要である。

【0030】又、上記プロセスに関しては、2枚のウェハ11及び15の接合を比較的低い温度で行い、それらの間の熱膨張特性の不一致により冷却時に生じる潜在的な熱応力を最小に保つことが重要である。更に、高い溶解温度で接合を形成し、いったん形成された接合がその後の組み立てプロセス（例えば、プリント回路板におけるその後の表面取付プロセス）において後で溶解しないようにすることも重要である。

【0031】これらの目標を満たすために、本発明で

9

は、基板ウェハの一方にパターン化された金のグリッドと、2枚の基板ウェハの他方にパターン化されたインジウムのグリッドとの間で接合を行うことが意図される。図9は、水晶の装置基板に整列されたセラミックのカバー基板の断面を、それらにパターン化された半田グリッドによりこれら2つの基板を接合する前の状態で示している。好ましくは、処理の容易さのために、電子装置を支持する基板ウェハに金のグリッドが形成され、そしてカバー基板ウェハにインジウムのグリッドがパターン化される。これらの2枚の基板ウェハ11及び15が乾燥

ガス（例えば、水素又は窒素）又は真空のもとに一緒に入れられて加熱されたときには、インジウムが155℃で溶解し、金との混合を開始する。金の密度が充分に高い場合には、溶解物が層転移を通して固体となる（ジャーナル・オブ・ザ・エレクトロケミカル・ソサエティ、第113巻、第12号（1966年12月）の第1282ないし1288ページに掲載されたL. パースタイン著の「固-液相互拡散（SLID）プロセスによる半導体接合：1. システムAg-In, Au-In及びCu-In (Semiconductor Joining by the Solid-Liquid Interdiffusion (SLID) Process: 1. The Systems Ag-In, Au-In, and Cu-In)」を参照されたい）。この固体がアニールされた後に、金とインジウムを適当な比（例えば、インジウムの30ないし40重量%）にすると、接合は400℃未満では溶解しなくなる。このような接合溶解温度は、250℃未満である通常のプリント回路板半田付け温度よりもかなり高いものである。

【0032】本発明の概念は、ハーメチックシールする必要のない電子装置まで拡張できることに注意されたい。このような場合には、更に処理が容易で及び/又は安価な材料を使用することができ、例えば、非ハーメチック経路を使用できると共に、ポリマ材料を基板に使用することができる。又、電子的パッケージングの既存の方法に代わって本発明を使用できることに注意されたい。

【0033】以上の説明は、主として本発明の好ましい

10

実施例を例示するもので、本発明をこれに限定するものではないことを理解されたい。従って、特許請求の範囲に規定された本発明の精神及び範囲から逸脱せずに、種々の変更や修正がなされ得ることが明らかであろう。

【図面の簡単な説明】

【図1】本発明の実施例により構成されたシールされたパッケージにおいて電子装置を示した側面断面図である。

【図2】装置基板を、カバー基板に取り付ける前に、底部から見た図である。

【図3】カバー基板を、装置基板に取り付ける前に上部から見た図である。

【図4】シールされたパッケージ内に比較的小さな電子装置を経済的に形成するのに有用な本発明の方法の処理段階を示す図である。

【図5】図4に続く本発明の方法の処理段階を示す図である。

【図6】図5に続く本発明の方法の処理段階を示す図である。

【図7】図6に続く本発明の方法の処理段階を示す図である。

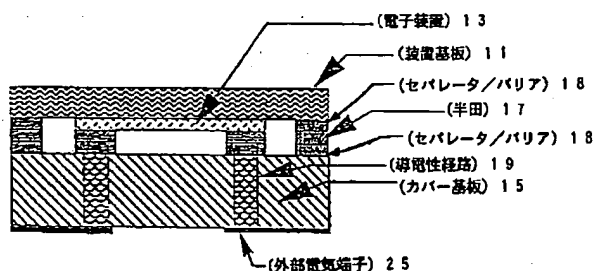
【図8】図4ないし7に示した方法により形成されたシールされたパッケージ内の比較的小さな電子装置を複数個示した図である。

【図9】装置基板に整列されたカバー基板を、本発明によりそれらにパターン化された半田グリッドにより接合する前の状態で示した側面断面図である。

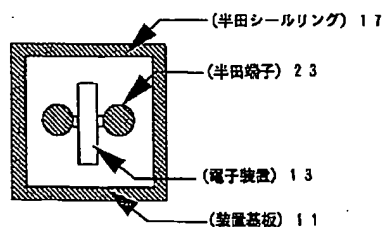
【符号の説明】

- 11 装置基板ウェハ
- 13 電子装置
- 15 カバー基板ウェハ
- 17 半田ストリップ
- 18 セパレータ/バリア層
- 19 導電性経路
- 21、23 半田端子
- 25 外部電気端子

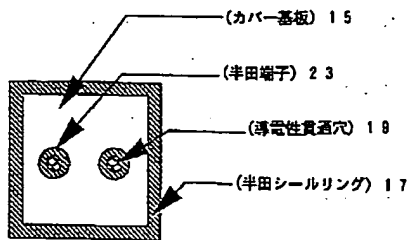
【図1】



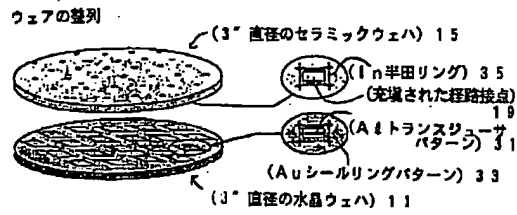
【図2】



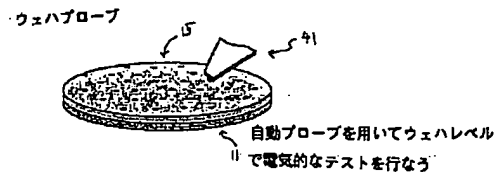
【図3】



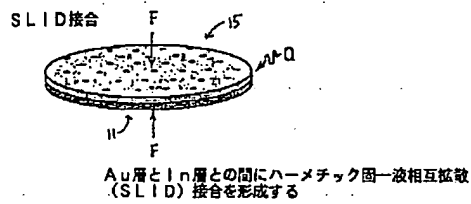
【図4】



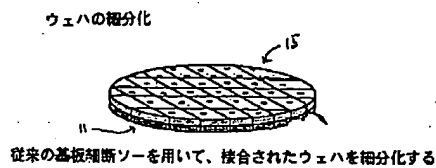
【図6】



【図5】



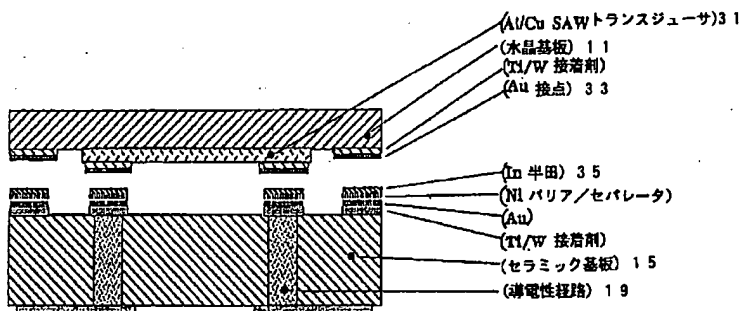
【図7】



【図8】



【図9】



フロントページの続き

(72)発明者 ジェームズ チュン ケイ ラウ
アメリカ合衆国 カリフォルニア州
90503 トランス レッドビーム アベニ
ュー 19515

(72)発明者 スティーヴン シン チャン
アメリカ合衆国 カリフォルニア州 アル
ハンブラサウス チャペル アベニュー
1144